**实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 姓名 | 徐时越 | 学号 | 16058228 | 班级 | 16059611 |
| 专业 | 软件工程 | | 课程名称 | 计算机组成原理课程设计 | |
| 任课老师 | 仇建 | 指导老师 | 仇建 | 机位号 |  |
| 实验序号 | 4 | 实验名称 | 寄存器堆设计实验 | | |
| 实验时间 |  | 实验地点 |  | 实验设备号 |  |
| **一、实验程序源代码** | | | | | |
| 程序源代码  module Module(Addr,Write\_Reg,Switch,Clk,Reset,Read\_Btn,LED);  input wire [4:0] Addr;  input wire Write\_Reg;  input wire [1:0] Switch;  input wire Clk;  input wire Reset;  input wire Read\_Btn;  output reg [7:0] LED;  reg [31:0] REG\_Files[0:31];  reg [5:0] i;  reg [31:0] R\_Data\_A;  reg [31:0] R\_Data\_B;  reg [31:0] W\_Data;  initial  begin  for(i=0;i<=31;i=i+1)  REG\_Files[i]=0;  end  always@(posedge Clk or posedge Reset)  begin  if(Reset)  for(i=0;i<=31;i=i+1)  REG\_Files[i]=0;  else  if(Write\_Reg)  REG\_Files[Addr]=W\_Data;  end  always@(Addr,Write\_Reg,Switch,Read\_Btn)  begin  if(!Write\_Reg)  begin  if(!Read\_Btn)  begin  R\_Data\_A=REG\_Files[Addr];  case(Switch)  2'b00:LED=R\_Data\_A[7:0];  2'b01:LED=R\_Data\_A[15:8];  2'b10:LED=R\_Data\_A[23:16];  2'b11:LED=R\_Data\_A[31:24];  endcase  end  else  begin  R\_Data\_B=REG\_Files[Addr];  case(Switch)  2'b00:LED=R\_Data\_B[7:0];  2'b01:LED=R\_Data\_B[15:8];  2'b10:LED=R\_Data\_B[23:16];  2'b11:LED=R\_Data\_B[31:24];  endcase  end  end  else  begin  case(Switch)  2'b00:W\_Data=32'h0000\_0001;  2'b01:W\_Data=32'h0001\_0000;  2'b10:W\_Data=32'h1F1F\_F1F1;  2'b11:W\_Data=32'hFFFF\_FFFF;  endcase  end  end  endmodule  仿真代码  module Test;  // Inputs  reg [4:0] Addr;  reg Write\_Reg;  reg [1:0] Switch;  reg Clk;  reg Reset;  reg Read\_Btn;  // Outputs  wire [7:0] LED;  // Instantiate the Unit Under Test (UUT)  Module uut (  .Addr(Addr),  .Write\_Reg(Write\_Reg),  .Switch(Switch),  .Clk(Clk),  .Reset(Reset),  .Read\_Btn(Read\_Btn),  .LED(LED)  );  initial begin  // Initialize Inputs  Addr = 0;  Write\_Reg = 0;  Switch = 0;  Clk = 0;  Reset = 0;  Read\_Btn = 0;  // Wait 100 ns for global reset to finish  #100;    // Add stimulus here  #100;  Addr=5'b0000;Write\_Reg=0;Switch=2'b00;Clk=0;Reset=1;Read\_Btn=0;  #100;  Addr=5'b0001;Write\_Reg=1;Switch=2'b01;Clk=0;Reset=0;Read\_Btn=0;  #100;  Addr=5'b0001;Write\_Reg=1;Switch=2'b01;Clk=1;Reset=0;Read\_Btn=0;  #100;  Addr=5'b0001;Write\_Reg=0;Switch=2'b10;Clk=0;Reset=0;Read\_Btn=1;  #100;  Addr=5'b0000;Write\_Reg=0;Switch=2'b10;Clk=0;Reset=1;Read\_Btn=0;  #100;  Addr=5'b1000;Write\_Reg=1;Switch=2'b10;Clk=0;Reset=0;Read\_Btn=0;  #100;  Addr=5'b1000;Write\_Reg=1;Switch=2'b10;Clk=1;Reset=0;Read\_Btn=0;  #100;  Addr=5'b1000;Write\_Reg=0;Switch=2'b01;Clk=0;Reset=0;Read\_Btn=1;  end    endmodule | | | | | |
| **二、仿真波形** | | | | | |
| ISim (O.87xd) - [Default.wcfg] | | | | | |
| **三、电路图** | | | | | |
|  | | | | | |
| **四、引脚配置（约束文件）** | | | | | |
|  | | | | | |
| **五、思考与探索** | | | | | |
|  | | | | | |
| **六、意见和建议** | | | | | |
|  | | | | | |